

비용 효율을 고려한 PoP 기반의 3D IC Architecture 연구

신용진¹, 전민제¹, 이병훈¹, 정의영¹

¹연세대학교 전기전자공학부

전화: (02)2133-7826, E-mail: yongjin.shin@dtl.yonsei.ac.kr

Cost-Effective PoP-based 3D IC Architecture

Yong Jin Shin¹, Minje Jun¹, Byunghoon Lee¹, and Eui-Young Chung¹

¹School of Electrical and Electronic Engineering Yonsei University

요 약

TSV에 기반을 둔 3D IC 기술이 많은 각광을 받고 있는 가운데, 아직도 해결하지 못한 중요한 기술적 난제들이 있다. 취약한 열 특성과 기술 미성숙에 의한 제조비용 증가가 대표적인 예들이다. 본 연구는 이러한 TSV가 가지는 단점을 해결 할 수 있는 대안으로 FC(Flip Chip) PoP의 특성을 고려한 3D IC architecture를 제안한다. 실험 결과에 의하면 제안된 기술로 인해 최고 온도는 약 25%, 제조비용은 29%까지 줄 일수 있었다.

Abstract

Although the TSV based three-dimensional IC is in the limelight, there are still technical hurdles to overcome. Thermal and cost issues due to immature skills are classic examples. In this paper, we suggest a FC(Flip Chip) PoP based three-dimensional IC architecture, which guarantees cost effective and robust thermal characteristic. Experimental results show that the proposed PoP based approach reduce the peak temperature by 25% and save up to 29% cost. This paper implies a possibility that PoP based three-dimensional IC would be a good solution for thermal and cost.

Keywords : 3D IC, PoP(Package on Package), TSV(Through Silicon Via), partitioning, cost

I. 서 론

선도 기술의 일환으로 TSV(Through Silicon Via) 기반의 3D IC 기술이 많은 각광을 받고 있다. 3D IC는 interconnection delay, foot print, power consumption등의 측면에서 많은 장점이 있음에도 불구하고 취약한 열 특성과 같은 기술적 난관 그리고 비용의 상승으로 시장에서 대중화 되지 못하고 있다.

본 논문에서는 TSV 3D IC의 열 특성 문제에 대한 대안으로서 기술적 성숙도가 높은 PoP를 활용한 3D IC partitioning 연구를 제안하고자 한다.

기술이 실제 구현됨에 있어 그에 따른 제조비용을 무시할 수 없다. 특히나 design 단계 초기의 비용 분석은

제품 개발 의사 결정의 중요한 요소로 작용한다. 우리의 연구에서는 기존의 제조비용 분석 모델을 개선 발전시켜 PoP(Package on Package)와 TSV에 특화된 비용 분석 모델을 만들고 이를 통해 앞선 두 가지 3D IC 선택사항의 비교 우위 판단 방법을 확립 하였다.

II. 관련 연구

1. 3D IC: Emerging Technology

소비자의 요구와 기술 발달에 힘입어 고사양을 요구하는 전자기기들의 수요가 점차 증가하고 있다. 이러한 기준을 만족시키기 위한 산업계의 대응은 process scale down (Moore's law)과 frequency 향상이 주

를 이루었다. Technology shrink로 TR의 speed는 빨라졌지만, 반대급부로 interconnection delay의 영향은 더욱 증가 되었다. DSM(Deep Sub Micron) 뿐만 아니라 interconnection delay를 줄이는 노력이 함께 필요한 상황이 되었다. 이러한 문제들의 대안으로서 TSV를 활용한 3D IC integration 기술이 떠오르고 있다.

2. PoP(Package on Package)

PoP는 서로 상이한 logic과 memory를 BGA(Ball Grid Array) package를 이용해 수직으로 적층하여 하나의 module을 구성하는 package 기술 이다. PoP는 공간 절약, 서로 상이한 기술을 적용한 chip들의 적층 같은 장점을 가지고 있다.^[1] PoP는 기술적 성숙단계에 접어들었으며, 고집적 package와 모바일에서 그 쓰임새가 점점 증가 할 것으로 예상된다.^[2]

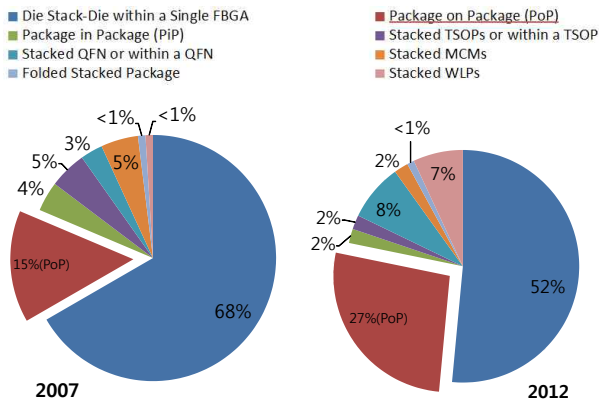


그림 1. 적층 형 package의 시장 예측: 2007 vs. 2012

그러나 현재의 PoP / MCP(Multi Chip Packaging) 기술은 3D IC를 염두 해 두고 설계하기 보다는 단순히 KGD(Known Good Die)를 적층하는 형태로 이루어진다. 결과적으로 3D IC의 장점을 충분히 살리지 못하는 상황이 되고 있다.

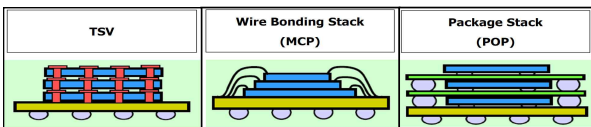


그림 2. 3D packaging 기술

PoP는 TSV 기술 대비 bandwidth나 내부 delay에 취약점을 드러내지만 package 사이사이에 heat spreader 혹은 underfill을 채워 넣음으로서 열 특성을 개선 할 수 있다는 장점을 가지고 있다.

III. 본 론

1. Motivation

궁극적으로 기술이 발전하면 3D IC 기술은 현재의 packaging 수준이 아니라 integration 형태로 발전 할 것이다. 그러나 아직까지는 interconnection delay / power / foot print 측면의 장점에도 불구하고 TSV를 이용한 3D IC integration 기술은 많은 난제를 가지고 있다. 대표적으로 thermal issue가 있는데 이는 근본적인 물성의 변화가 아니고서는 획기적인 개선을 기대하기 어려운 상황이다.

Thermal issue의 대안으로 Thermal TSV / liquid cooling등이 제안되고 있다. T-TSV의 경우 원하는 수준의 효과를 보기 위해서는 많은 수의 via가 필요하며 이는 면적 증가 / 비용 증가를 야기한다. Liquid cooling의 경우 효과는 입증 되었지만 pump / liquid tank 같은 부수적인 기계장치를 동반해야 하는 어려움이 있다. PC, server와 같은 고 성능의 장치에는 가능 할지 모르지만 form factor가 중요한 mobile 기기에서는 적용 가능성이 희박하다.

그러나 PoP 기술을 이용한다면 TSV 대비 완화된 열 제약 조건을 가지게 된다. 또한 design 초기부터 PoP를 염두 해 두고 architecture level optimization을 한다면 TSV 대비 100%는 아니더라도 가까운 미래 system에서 요구하는 requirement를 만족 시킬만한 결과를 얻을 수 있다. TSV가 가지는 열 특성 issue와 2D design이 가지는 문제점의 현실적인 대안으로서 architecture optimization을 동반한 PoP 기술을 고려해볼 가치가 있다.

2. Proposed Method

가. 3D IC Design의 고려 사항

표 1. 3D IC 장단점 비교

	TSV	PoP
면적	강점	약점
배선 길이	강점	약점
열조건	약점	강점
PAD 위치 제약	NA	고려 필요
bandwidth	강점	약점
이중 기술 적층 자유도	취약	강점
signal pin 개수	강점	약점

PoP와 같은 3D packaging 기술은 얇은 die 두께로 무게와 volume을 줄일 수 있으며, 이러한 die의 적층으로 면적을 줄일 수 있다. 반면 TSV 대비 배선 길이의 증가로 기생 성분이 커지고 interconnect delay를 손해 본다. PoP는 적층이라는 기술의 특성상 die 사이를 연결하는 signal pad의 개수가 제조비용과 성능에 중요한 고려 사항이 된다.

나. Problem Formulation

본 연구에서 제안하는 PoP를 고려한 3D IC는 각 tier별 온도를 최소화하기 위해 각 hard macro의 최적의 tier 위치를 찾아낸다. 그리고 제조비용 & performance 극대화를 위해 signal pad의 수를 최소화 하는 macro의 위치를 찾는다.

위 두 가지는 선형 계획법(Linear Programming)에 의하여 수치화 될 수 있는데, LP의 목적 함수는 다음과 같이 나타낼 수 있다.

$$F = \alpha \cdot PKG_COST_{total} + \beta \cdot PER_{overhead} \quad (1)$$

PKG_COST_{total} 은 chip 전체의 package 제조비용을 나타내며 $PER_{overhead}$ 는 두 module의 performance 요구치를 만족시키기 위한 추가 비용을 나타낸다. α 와 β 는 user define 수치이다

PKG_COST 는 각 chip의 전력 밀도와 열 저항을 가지고 구하게 된다. 2D와 3D에서의 온도는 열 저항 모델을 이용하여 각각 다음의 식으로 계산되어 질수 있다.^[3]

$$T_{die} = T_a + \theta_{ja} \cdot PD_{chip} \quad (2)$$

$$T_{3D} = T_a + \sum_{t=1}^k R_{(t-1),t} \sum_{j=t}^k PD_j \quad (3)$$

위 식에서 T_a 는 주변 온도, θ_{ja} 는 열 저항, PD_{chip} 은 chip의 전력 밀도, t 는 전체 chip의 수, $R_{(t-1)}$ 는 t-1번째의 열 저항을 나타낸다.

performance 요구치를 만족시키기 위한 추가 비용은 다음의 식으로 나타 낼 수 있다.

$$PER_{overhead} = \sum_{i=1}^m \sum_{j=1}^m \sum_{\substack{p=1 \\ q=1 \\ p \neq q}}^k PER_{ij} + (|p-q|-1) \cdot \delta \quad (4)$$

PER_{ij} 는 i 와 j 두 module 사이의 성능 요구치 이고,

p 와 q 는 서로 다른 tier를 나타내며 δ 는 user define 상수이다.

LP solver를 이용하여 위에 기술된 (1)의 목적 함수를 최소화 하여 각 module의 tier 정보를 찾게 된다. 이때 각 tier의 최대/소 면적의 값은 offset 만큼의 제약 조건을 가지게 되며, bottom tier의 IO 개수와 기타 tier의 IO 개수에도 비율에 따른 제약 조건이 존재한다.

3. Cost Model

실제 기술의 적용도 결국은 타당한 제조비용이 뒷받침 되어야 한다. PoP와 TSV의 제조비용 측면의 우위를 비교하기 위해 기존에 연구된 다양한 cost model^[4-5]을 개선 적용하였다.

PoP cost model의 경우 단순 3D MCP cost model에서 본 논문의 연구 대상인 FC(Flip Chip) based PoP에 적합하도록 model을 수정하였다. TSV cost model은 D2W(Die to Wafer) 방식의 제조를 염두에 두고 model을 개선하였다. 자세한 cost model은 지면 관계상 생략한다.

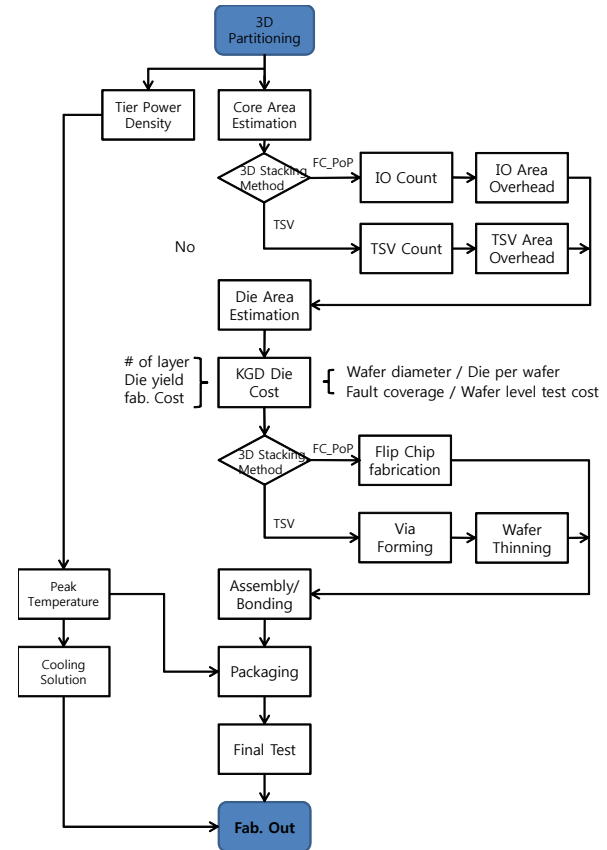


그림 3. 제조비용 계산 흐름도

IV. 실험 환경 및 결과

가. 실험 환경

Parquet^[6] software는 2D에서 적용되다 3D로 확장된 B*-tree floor-planner로서 본 연구를 위한 tool로 사용되었다. tier의 개수는 4개로 고정하고 실험을 진행하였다.

본 연구에서는 4개의 benchmark design을 사용하였는데 각각 ami49, n50, n100, n200이다. ami49는 ARM이나 DSP같은 커다란 크기의 IP가 혼한 현재의 design 특성을 반영하고 있으며 n200의 경우 macro의 개수가 200개로 hard macro가 많은 IP based design의 특성을 잘 대변하고 있다.

열 특성은 HotSpot^[7] software와 package / TIM (Thermal Interface Material)^[8] 특성을 반영하여 측정하였다.

실험에 적용된 design 방법은 3가지이다. PoP의 특성을 고려하지 않고 chip만 stack하는 legacy PoP방법, design 초기부터 PoP 특성을 고려한 본 연구의 제안 방법 그리고 마지막으로 TSV를 이용한 design이 있다.

나. 결과

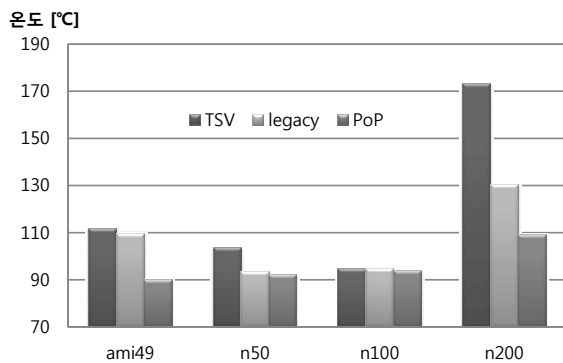


그림 4. Chip의 최고 온도 값 비교

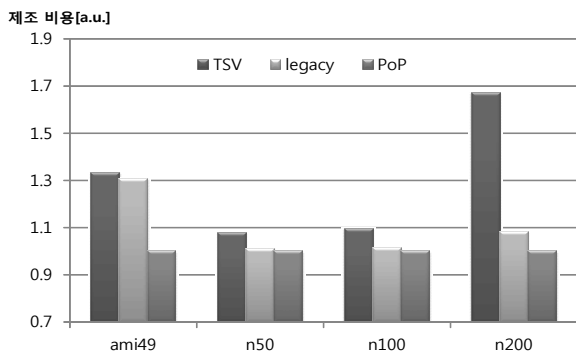


그림 5. Chip의 제조비용 비교

온도 특성의 경우 PoP 특성에 최적화된 design은

보통의 TSV대비 25%, 기존의 PoP 방법에 비해서는 11%의 개선 효과를 나타냈다. 제조비용 측면에서도 각각 29%, 10%의 비교 우위를 가지고 있음을 볼 수 있다. 특히 n200처럼 size와 전력 밀도가 커서 열 특성이 취약하고 많은 TSV를 필요로 하는 design은 본 연구의 제안 방법에 따라 큰 개선 효과를 볼 수 있다.

V. 결론 및 향후 연구 방향

본 연구를 통해 TSV가 가진 단점들의 대안으로서 PoP를 고려한 3D IC의 타당성을 살펴보았으며, TSV의 기술이 성숙 단계에 접어들기 전까지는 충분한 활용 가능성이 있음을 확인하였다.

Acknowledgement: 이 논문은 삼성전자 및 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. 2011-0027625).

참고 문헌

- [1] David Geiger, Dongkai Shangguan, Samuel Tam, Dan Rooney, "Package Stacking in SMT for 3D PCB Assembly", 28th International Symposium on Electronics Manufacturing Technology, 2003, pp. 261-264
- [2] Electronic Trend Publications, Inc. "Advanced IC Packaging Markets and Trends", 2008 Edition
- [3] S. Im and K. Banerjee, "Full chip thermal analysis of planar (2-D) and vertically integrated (3-D) high performance ICs," in IEDM Tech. Dig. 2000, pp. 727-730.
- [4] R. Weerasekera, D. Pamunuwa, L.-R. Zheng, and H. Tenhunen. "Extending systems-on-chip to the third dimension: performance, cost and technological tradeoffs" In Proceedings of the International Conference on Computer-Aided Design, 2007., pages 212-219, 2007.
- [5] Zhao, J., Dong, X., Xie, Y. "Cost-aware three-dimensional (3D) many-core multiprocessor design" (2010) Proceedings - Design Automation Conference, pp. 126-131.
- [6] Adya, S.N., Markov, I.L. "Fixed-outline floorplanning: Enabling hierarchical design" (2003) IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 11 (6), pp. 1120-1135.
- [7] Huang, W., Skadron, K., Gurumurthi, S., Ribando, R.J., Stan, M.R. "Differentiating the roles of IR measurement and simulation for power and temperature-aware design" (2009) ISPASS 2009 - International Symposium on Performance Analysis of Systems and Software, art. no. 4919633, pp. 1-10.
- [8] Loh, G.H. "3D-stacked memory architectures for multi-core processors" (2008) Proceedings - International Symposium on Computer Architecture, art. no. 4556747, pp. 453-464.